

文章编号: 1673-064X(2006) 03-0094-05

模数转换(A/D)集成电路设计原理及其应用技术

Design principles and application techniques of A/D integrated circuits

柴宝玉^{1,2}, 林晓鹏³, 郭东辉^{1,2}

(1. 厦门大学 电子工程系, 福建 厦门 361005; 2. 厦门睿智微电子有限公司, 福建 厦门 361005;
3. 厦门大学 物理系, 福建 厦门 361005)

摘要: 随着数字信号处理技术的不断发展和人们对电子产品质量要求的不断提高, 模数转换(A/D)集成电路芯片已成为电子产品设计中最关键的芯片器件之一, 它的性能优劣直接决定着电子产品质量. 介绍了几种主要的A/D集成电路的基本原理, 分析了各类A/D芯片的性能特点及其应用范围, 指出了提高不同应用领域A/D芯片质量的关键技术及其发展趋势.

关键词: 信号处理; A/D转换器; 集成电路

中图分类号: TP335⁺.1 **文献标识码:** A

近年来有关A/D转换器的集成电路(IC)开发及其应用技术受到人们的普遍关注, 国内外许多半导体公司相继推出了一些不同特点或应用功能的A/D芯片. 为了能够具体了解目前这些A/D芯片的功能特点, 本文首先介绍各种A/D转换集成电路的基本设计原理, 说明其采用不同的电路结构设计出来的芯片所具有不同的性能特点和应用范围, 然后, 介绍目前在不同领域应用的一些A/D芯片的实际应用电路, 最后讨论了A/D转换电路的技术发展趋势.

1 A/D芯片的电路原理

A/D转换的基本思想就是要将连续的模拟量转换成离散的二进制数字量, A/D转换集成电路的设计目标是通过单片IC芯片把输入的模拟电信号转换成脉冲形式的数字信号输出. 从电路结构上看, 当前实现A/D转换功能主要有闪烁型、电容分型、逐次逼近型、流水线型和 $\Sigma-\Delta$ 型等^[1]. 采用不

同的电路结构设计出来的A/D转换器的性能也各不相同, 下面具体介绍这些结构的电路设计及其性能特点.

1.1 闪烁型A/D转换电路

闪烁型A/D转换电路结构最简单、转换速度最快^[2-3]. 图1为N位闪烁型A/D转换电路的结构框

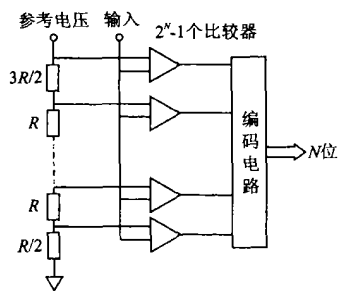


图1 闪烁型A/D转换电路结构框图

图^[1]. 它采用并行比较结构, 模拟输入同时与 2^N-1 个参考电压比较, 只需一次转换就得到N位二进制数字量. 它的转换时间只受到比较器和编码电路延迟时间的限制; 精度主要取决于电阻串的匹配精度

收稿日期: 2005-02-27

作者简介: 柴宝玉(1979-), 女, 河南焦作人, 主要从事模数转换方面的研究.

和比较器的失调电压. 它的缺点是分压电阻和比较器的数量与分辨率成指数关系, 从而导致输入电容、面积与功耗都非常大; 而且比较器的亚稳态和失调均会引起闪烁码, 造成输出不稳定. 所以, 闪烁型 A/D 转换电路特别适合超高速但低分辨率的场合.

要提高闪烁型 A/D 转换电路的性能, 减少其输入电容和提高比较器的性能是关键. 为了达到这一目的, 采用了各种的新技术, 如使用插值技术减少输入电容、使用平均法减少比较器的随机失调引起的非线性的影响等^[3-5]. 采取有效的编码策略可以减小编码延迟, 提高转换速度^[6-7].

1.2 电容积分型 A/D 转换电路

电容积分型 A/D 转换是一种以时间作为中间变量的间接方式的 A/D 转换方式, 结构框图如图 2^[1]. 它通过两次积分将输入的模拟电压转换成与其平均值成正比的时间间隔, 并在此时间间隔内利用计数器对时钟脉冲进行计数, 从而实现 A/D 转换.

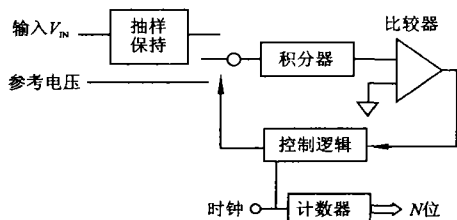


图 2 电容积分型 A/D 电路结构图

这种转换电路的优点是抗干扰能力较强, 主要因为前端使用了积分器, 其积分相当于对长时间采样的测量过程求平均值, 能抑制高频噪声和固定工频干扰, 在增加分辨率的同时减小噪音; 并且对电路元器件的精度要求不高, 可以用精度比较低的元器件制成精度较高的 A/D 转换器. 缺点是转换时间随分辨率成指数增长, 转换速度比非积分型器件要慢许多, 但适合于传感器、数字仪表等低速精密测量领域^[8]. 在需要提高转换速度的场合, 可以使用多斜率积分型和新颖的基于电流模式的算法等^[9-10].

1.3 逐次逼近型 A/D 转换电路

逐次逼近型 A/D 转换电路使用二分搜索算法, 结构框图如图 3^[1]. 启动转换后, 先将逐次逼近寄存器 SAR 最高位置“1”, 其余位置“0”, 相当于取参考电压 V_{REF} 的 $1/2$ 与输入电压 V_{IN} 进行比较. 若 $V_{REF}/2 > V_{IN}$, 那么将最高位置“0”; 此后次高位位置 1, 相当于在 $1/2$ 范围中再对半搜索. 若 $V_{REF}/2 <$

V_{IN} , 那么最高位和次高位均为 1, 这相当于在另一个 $1/2$ 范围中再作对半搜索. 如此进行直到 SAR 的所有位都在逐次逼近过程中被确定. SAR 的输出即为所需的二进制数字量^[1]. 由此可见, 这类 A/D 转换器在一个时钟周期只完成一位转换. 若要获得 N 位的分辨率, 它就必须执行 N 次比较操作, 因此转换速度慢. 它的优点是占用面积小, 复杂度和功耗通常低于其它类型的 A/D 转换电路, 同时分辨率也较高, 且不存在延迟问题.

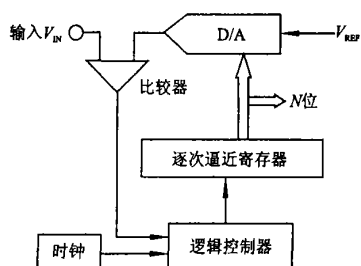


图 3 逐次逼近型 A/D 电路结构图

逐次逼近型 A/D 转换电路的性能主要取决于 N 位 D/A 转换器. 早期的 D/A 转换器用精密电阻网络来实现, 精度不高; 目前多采用的以电容阵列为基础的电荷重分布型 D/A 转换器, 可以达到很高的精度, 分辨率最高达到 22 bit^[11], 在此基础上实现的 A/D 转换电路精度可达 16 bit. 相对于传统的二分搜索算法, 双逐次逼近算法、双抽样技术等可以有效地提高转换速度^[12-14].

1.4 $\Sigma-\Delta$ 型 A/D 转换电路

$\Sigma-\Delta$ 型 A/D 转换则是用过采样技术实现, 结构框图如图 4 所示^[1], 它分为模拟 $\Sigma-\Delta$ 调制器和数字抽取滤波器两部分. $\Sigma-\Delta$ 调制器是以极高的采样率对输入的模拟信号采样, 并对两个采样之间的差值进行低位量化, 产生用低位码表示的高速 $\Sigma-\Delta$ 数字流; 然后将其送到数字抽取滤波器进行抽取滤波, 得到高分辨率的数字信号^[15].

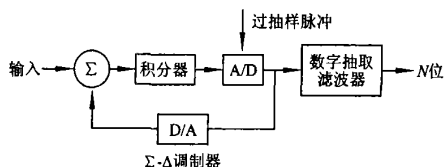


图 4 $\Sigma-\Delta$ 型 A/D 结构框图

$\Sigma-\Delta$ 型 A/D 转换的突出优点是转换精度高, 可达 24 bit 以上. 它将过采样技术和噪声整形技术、数字滤波技术相结合来获得高分辨率和理想的噪声

衰减特性.其特点是只需要少量关键的模拟器件,大部分功能都在数字领域完成.这样能充分利用成熟的数字处理技术,可以实现与数字系统的集成,同时降低对元器件匹配精度的要求.但过采样技术要求采样频率远高于输入信号频率,限制了输入信号的带宽;且随着过采样率的增加,功耗会大大增加.因此,这类 A/D 芯片主要应用于音频、数据测量等低频高分辨率场合.为了将 $\Sigma-\Delta$ 型 A/D 转换电路与高速应用相结合,可采用多级噪声整形结构、多位量化法等方法^[16],它们均能在保证高分辨率的前提下通过适当降低过采样率来达到提高转换速率的目的.

1.5 流水线型 A/D 转换电路

流水线型 A/D 转换电路采用多个低分辨率的闪烁型 A/D 转换电路对采样信号进行分级量化,然后将各级的数字输出进行延迟和组合校正,产生一个高分辨率的数字输出.图 5 所示为 k 级流水线型 A/D 转换电路的结构框图^[17].每一级都包含抽样保持电路、低分辨率的 A/D 子转换电路、低分辨率的 D/A 转换电路、减法器及级间增益放大器.

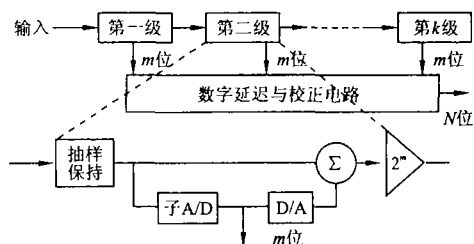


图 5 流水线型 A/D 原理框图

这种 A/D 转换电路的优点是:每级都有独立的抽样/保持电路,可以同时从前一级的余量进行处理,达到很高的转换速率;每一级数字输出都有冗余位,可以利用数字校正技术消除冗余,提高分辨率;与同分辨率的闪烁型 A/D 转换电路相比,它能大大降低电路规模与功耗.但它也存在一些缺点:需要复杂的基准电路与偏置结构;输入信号必须穿过数级电路,造成流水线延迟;而各级输出必须要严格同步;要求 50% 的占空因数以及最小的时钟频率等^[18].

为了提高流水线型 A/D 转换电路的性能,采用了多种方法.如采用开环结构、双抽样等新技术来提高速度^[19-20];采用自我校正算法、背景校正算法等新的数字校正算法来提高分辨率^[21-22].流水线型 A/D 转换还可以在保持高速高分辨率的同时,采用各种技巧来减少功耗.比如流水线各级组件的按比例减小,使用动态比较器、运算放大器的共用等都被提出^[23-25];特别是低电压电源的使用,给流水线型 A/D 提出了更高的设计要求^[26].

2 不同领域应用芯片特点及性能要求

以上几种 A/D 转换电路的分辨率、转换速度和功耗等性能,如表 1 所示.由于性能的差异,决定了不同 A/D 芯片类型在不同应用领域或范围^[1,18]的实际应用.下面具体介绍不同应用领域所需的 A/D 芯片的特点和性能要求^[27].

表 1 各种 A/D 转换电路的性能比较

项目	闪烁型	电容积分型	逐次逼近型	$\Sigma-\Delta$ 型	流水线型
主要特点	高速低精度	低速高精度	低中速中高精度	低中速高精度	高速高精度
分辨率/bit	3~8	12~22	8~16	16~24	8~16
转换速率	数百 MSPS 到 GSPS 级	几十 SPS 至几 kSPS	几十 kSPS 至几 MSPS	几十 SPS 至几 MSPS	几十至几百 MSPS
功耗	高	低	低	中	中
价格	高	低	中	中	高
主要用途	接收机、硬盘读出沟道、雷达	数字仪表传感器	便携设备仪器仪表	音频、多媒体、地震勘测	视频、高速数据采集、无线通信

2.1 音频

音频信号的特点是动态范围大,频率范围在 20 ~ 20 kHz,需要高分辨率低速的 A/D 芯片.在这方面,高分辨率低速的 $\Sigma-\Delta$ 型 A/D 芯片得到广泛使用.一般达到 24 bit 的分辨率、96 kS/s 的输出速率,也有 192 kS/s 的 ADC.如模拟器件公司的 AD1871,抽样率为 96 kHz,有 2 个分辨率为 24 bit 的转换通道.每个通道都有一个可变增益放大器、多位 sigma-

delta 调制器和数字抽取滤波器,提供 105 db 的动态范围,非常适合数字音频录音机和混合音响等应用.

2.2 视频

视频应用包括数码相机、摄像机和医疗图像等.这些应用对延迟没有严格要求,但是需要高速高分辨率、功耗尽可能低的 A/D 芯片,特别适合采用流水结构的 ADC.在这一方面比较有代表性的是美国模拟器件公司(ADI).该公司不断推出高性能的

ADC 产品以适应高性能图像处理应用需求. 如刚推出的 AD9970, 其分辨率为 14 bit, 采样速率达到 65 MSPS, 而功耗仅为 155 mW, 已经被佳能公司用于其便携式摄像机和数码相机.

2.3 数据采集

数据采集应用包括传感器、振动分析、地震数据采集和仪器仪表、工业控制设备等. 它们对转换的精度要求较高, 但对转换速率的要求不一. 高速数据采集系统需要流水线型 A/D 转换电路或闪烁型 A/D 转换电路, 中低速场合可以采用 Σ - Δ 型、逐次逼近型和积分型等结构. 如美国德州仪器公司(TI)生产的 14 位流水线型 A/D 转换器 ADS5500, 采样率达 125 MSPS, 18 位逐次逼近型 A/D 转换器 ADS8382, 转换速率仅为 600 kSPS, 16 位 Σ - Δ 型 A/D 转换器 ADS1610, 转换率为 10 MSPS 等, 可依据转换速率的不同应用于不同的场合.

2.4 通信

通信应用取样速率高于 40 MSPS, 需要高速的 A/D 芯片. 这方面, 闪烁型和流水线型 A/D 芯片应用广泛. 如 ADI 公司的双六位单片式产品 AD9066, 是采用内插技巧的闪烁型 A/D 转换器, 转换速率为 60 MSPS, 适用于接收机、无线局域网中. TI 的 ADS5500 也因其高速高分辨率的特点, 适用于无线通信、基站等场合.

3 关键技术及其发展趋势

消费电子、视频、通信和工业应用等领域的发展对 A/D 转换器提出了更高的技术要求, 而为了满足应用的需求, 人们不断改进设计技术与应用算法, 采用先进的制造工艺技术, 推动 A/D 转换器向速度更快、集成度更高、成本和功耗更低、尺寸更小、性能更高的方向发展. 本文将从应用需求、技术特点和工艺技术等方面探讨 A/D 转换器的技术发展趋势^[28].

3.1 通信和视频等应用推动高速高分辨率 A/D 转换器的发展

随着数字处理技术的发展, 通信和视频等应用场合对分辨率、速度和功耗等提出了更高要求. 而流水线型 A/D 电路结构因其显著的优点, 将成为该类应用中的主流电路结构. 而 Σ - Δ 型电路结构也正向高分辨率高速设计方向发展. 这种结构同流水线结构或 SAR 结构相结合, 也有望实现高分辨率、高速 A/D 转换器.

3.2 便携式应用需要低电压/低功耗 A/D 转换器

随着人们对便携式产品(如手机、数码相机等消费类电子产品)性能要求的提高, 功耗的降低日益成为需要解决的主要问题. Σ - Δ 型和 SAR 型电路结构因功耗方面的优势得到广泛的应用. 它们在该类应用中主要采用低电源电压设计. 而如何在低电源电压下获得更好的性能(如更高的带宽、更快的转换速率)成为研究的热点. 除此之外, 还采用其它的方法来减少功耗, 比如省电模式等.

3.3 系统整体性能的提高是未来 A/D 转换器发展的关键

为满足日益广泛的应用需求, A/D 转换器将不再是单一产品, 而是与其它器件如运算放大器、微处理器等集成在片上系统(SOC)中以提升性能. 而目前易于集成的 A/D 转换结构仅为 Σ - Δ 型, 而且其速度还有待提高. 其它几种类型的 A/D 电路集成到 SOC 中时, 必须认真设计所有的子电路才能保证 A/D 转换器实现最佳的性能. 如对于超高速的闪烁型 A/D 转换器, 它的采样速率进入 GSPS 级, 这是一种真正意义上的混合信号系统. 在这种环境中, 时钟源的时序抖动和相位噪声必须非常低, 转换后产生的高速数据必须能被及时地存储或转移等.

3.4 制造工艺提升 A/D 转换器的性能

近几十年来, 半导体工艺技术的迅速发展使 CMOS 工艺逐渐向纳米级推进, 而 CMOS 工艺尺寸的减小使其速度大大提高, 加上其功耗低、集成度高、体积小、成本低等众多优势, 逐渐取代其它的工艺技术, 成为半导体工艺技术的主流. 但是器件特征尺寸的减小, 也导致电源电压降低, 给高性能 A/D 转换器的设计带来了新的挑战.

4 结束语

现代电子系统的快速发展, 使 A/D 芯片的应用日益广泛, 而各种不同的应用对 A/D 芯片的性能要求相差也很大, 随着应用场合和要求的不同, A/D 转换器应选择相应的电路结构和工艺技术. 各种设计技术和应用算法, 加上先进的制造工艺, 一定能推动 A/D 转换器向速度更快、集成度更高、成本和功耗更低、尺寸更小、性能更高的方向发展.

参考文献:

- [1] 高光天. 模数转换器应用技术[M]. 北京: 科学出版社, 2001: 12-50, 250-253.

- [2] Yang C K, Stojanovic V, Modjtahedi S. A serial-link transceiver based on 8-G samples/s A/D and D/A converters in 0.25- μ m CMOS[J]. IEEE J Solid-State Circuits, 2001, 36: 293-301.
- [3] Scholtens P C S, Vertregt M. A 6-b 1.6-Gsample/s Flash ADC in 0.18- μ m CMOS Using Averaging Termination[J]. IEEE J Solid-State Circuits, 2002, 37(12): 1599-1609.
- [4] Sandner C, Clara M, Santner A. A 6-bit 1.2-GS/s low-power flash-ADC in 0.13- μ m digital CMOS[J]. IEEE J Solid-State Circuits, 2005, 40(7): 1499-1505.
- [5] Figueiredo P M, Vital J C. Averaging technique in flash analog-to-digital converters[J]. Circuits and Systems, 2004, 51(2): 233-253.
- [6] Choudhury J, Massiha G H. Efficient encoding scheme for ultra-fast flash ADC Silicon Monolithic Integrated Circuits in RF Systems[C]//2004 Topical Meeting. 2004: 290-293.
- [7] Radhakrishnan S, Mingzhen Wang, Chien-In Henry Chen. A Low-Power 4-b 2.5-Gsample/s Pipelined Flash Analog-to-Digital Converter Using Differential Comparator and DCVSPG Encoder, Circuits and Systems, 2005 [C]//ISCAS 2005 IEEE International Symposium on. 2005: 6142-6145.
- [8] 吴建辉. CMOS 模拟集成电路分析与设计[M]. 北京: 电子工业出版社, 2004: 285-290.
- [9] Yang H Y, Sarpeshkar R. A time-based energy-efficient analog-to-digital converter[J]. IEEE J Solid-State Circuits, 2005, 40(8): 1590-1601.
- [10] Sasaki M, Mase M, Kawahito S. A wide dynamic range CMOS image sensor with multiple short-time exposures Sensors[C]//2004 Proceedings of IEEE. 2004: 967-972.
- [11] Gan J, Yan S, Abraham J. Effects of noise and nonlinearity on the calibration of a non-binary capacitor array in a successive approximation analog-to-digital converter[C]//Design Automation Conference, 2004. Proceedings of the ASP-DAC 2004 Asia and South Pacific. 2004: 292-297.
- [12] Lampinen H, Perala P, Vainio O. Novel Successive Approximation Algorithms [C]//Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium. 2005: 188-191.
- [13] Dabbagh-Sadeghipour K, Hadidi K, Khoei A. A new architecture for area and power efficient, high conversion rate successive approximation ADCs[C]//Circuits and Systems, 2004. NEWCAS 2004. The 2nd Annual IEEE Northeast Workshop. 2004: 253-256.
- [14] Chi-Sheng Lin, Bin-Da Liu. A new successive approximation architecture for low-power low-cost CMOS A/D converter[J]. IEEE J Solid-State Circuits, 2003, 38(1): 54-62.
- [15] 刘益成. 信号处理与过抽样转换器[M]. 北京: 电子工业出版社, 1997.
- [16] Sun-Hong Kim, He-Yeon Lee, Seok-Woo Choi. Wideband multi-bit third-order sigma-delta ADC for wireless transceivers[C]//ASIC, 2003 Proceedings 5th International Conference. 2003: 689-692.
- [17] Lewis S H, Fetterman H S. A 10-b 20-Msample/s analog-to-digital converter[J]. IEEE J Solid-State Circuits, 1992, 27(3): 351-358.
- [18] 王晶. 模拟/数字转换技术及其发展趋势[J]. 微电子学, 2005, 35(3): 221-225, 235.
- [19] Ja-Hyun Koo, Yun-Jeong Kim. An 8-bit 250MSPS CMOS pipelined ADC using open-loop architecture[C]//Advanced System Integrated Circuits 2004. Proceedings of 2004 IEEE Asia-Pacific Conference. 2004: 94-97.
- [20] Haider S, Ghosh A, Ravi sankar Prasad. A 160 MSPS 8-bit pipeline based ADC VLSI Design[C]//2005. 18th International Conference. 2005: 313-318.
- [21] Matsui H, Ueda M, Daito M. A 14bit digitally self-calibrated pipelined ADC with adaptive bias optimization for arbitrary speeds up to 40MS/s[C]//VLSI Circuits, 2005 Digest of Technical Papers. 2005 Symposium. 2005: 330-333.
- [22] Hung-Chih Liu, Zwei-Mei Lee, Jieh-Tsong Wu. A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration[J]. IEEE J Solid-State Circuits, 2005, 40(5): 1047-1056.
- [23] Andersen T N, Briskemyr A, Telsto F. A 97mW 110MS/s 12b pipeline ADC implemented in 0.18 μ m digital CMOS Design[C]//Automation and Test in Europe, 2005 Proceedings. 2005: 219-222.
- [24] Cho T B, Gray P R. A 10-b, 20-Msample/s, 35-mW pipeline A/D converter[J]. IEEE J Solid-State Circuits, 1995, 30(3): 166-172.
- [25] Yun Chiu, Gray P R, Nikolic B. A 1.8 V 14-b 10 MS/s pipelined ADC in 0.18 μ m CMOS with 99 dB SFDR [C]//Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International. 2004: 458-539.
- [26] Dong-Young Chang, Gi-Cho Ahn, U-Ku Moon. Sub-1-V design techniques for high-linearity multistage/pipelined analog-to-digital converters[J]. Circuits and Systems: Regular Papers, IEEE Transactions, 2005, 52(1):
- [27] 姚剑清. 国内外 CMOS ADC 研发动态[J]. 电子产品世界, 2000: 62-63.
- [28] 胡萍. 四类运算放大器的技术发展趋势及其应用热点 [EB/OL]. [2005-09-09]. http://www.eetchina.com/ART_8800376287_617703_45183b3a200509.HTM.

编辑: 张新宝

Design principles and application techniques of A/D integrated circuits

Abstract: With the development of digital signal processing techniques and the improvement of the requirements of the quality of electronic products, the chip of A/D integrated circuit becomes one of the most important parts in the design of electronic products, and its performance directly determines the quality of the electronic products. The basic principles of several kinds of main A/D integrated circuits are presented. Based on this, the characteristics and the application fields of various kinds of A/D chips are analyzed. The key techniques for improving the quality of the A/D chips for different applied fields and their development trends are pointed out.

Key words: signal processing; A/D converter; integrated circuit

CAI Bao-yu^{1,2}, LIN Xiao-peng³, GUO Dong-hui^{1,2} (1. Department of Electronic Engineering, Xiamen University, Xiamen 361005, Fujian, China; 2. Xiamen Ruizhi Microelectronic Technology Co. Ltd., Xiamen 361005, Fujian, China; 3. Department of Physics, Xiamen University, Xiamen 361005, Fujian, China) JXSYU 2006 V.21 N.3 p. 94-98

Study on the security mechanism of cooperative design system

Abstract: safety control is an important sector of cooperative design system, directly affecting the operation of the design system. First, the safety problems that the system faces are analyzed according to the basic characteristics of the cooperative design system, and then in accordance with the complexity of the safety control, the corresponding security mechanisms in three aspects of cooperative database, cooperative design system and network communication are established in order to guarantee the normal operation of the cooperative design system.

Key words: computer cooperative design; system security; user authentication; access control

QIN Jin-xiang, YANG Meng, Fang Ming (College of Computer, Xi'an Shiyu University, Xi'an 710065, Shaanxi, China) JXSYU 2006 V.21 N.3 p. 99-102

On the calculation of the production index (PID) in the numerical simulation of a horizontal well

Abstract: A method for improving the calculating precision of the PID of the horizontal well crossing grid in any way is found by using the analytic horizontal well model presented by Abou-Kassem and Aziz. The numerical simulation software for horizontal wells is developed based on three-dimensional three-phase black oil model. The application result of the software to a case shows that, the value of the PID obtained using this method is not only directly proportional to the length of the grid through which the horizontal well crosses, but also related to the distance from the horizontal well to the surface of the crossed grid.

Key words: horizontal well; numerical simulation; PID

XU Yan-dong¹, GUO Qi¹, LIU Jian-jun², CHENG Lin-song³ (1. Research Institute Of Engineering Technology, Northwest Branch Company of Sinopec, Wulumuqi 830011, Xinjiang, China; 2. Research Institute Of Exploration and Development, Northwest Branch Company of Sinopec, Wulumuqi 830011, Xinjiang, China; 3. Faculty of Petroleum and Natural Gas Engineering, China University of Petroleum, Beijing 102249, China) JXSYU 2006 V.21 N.3 p. 103-105

Fuzzy expected value model of oilfield measures planning

Abstract: Measures planning is necessary to output-increasing and output-stabilizing, output stability time prolonging, recovery cost reducing, production rate enhancing and recovery factor enhancing of Changqing Oilfield. A fuzzy expected value model of oilfield measures planning is put forward, in which the output increment maximizing of oilfield measures is as objective, and the cost and the work amount of the measures are also taken into account. At the same time, the hybrid intelligent algorithm of the model is presented. A case shows that the theoretical basis of the model is rigorous, the solving method is scientific, effective and intellectual. The study provides a new decision-making basis for oilfield measures planning.

Key words: measures planning; fuzzy expected value model; hybrid intelligent algorithm

SONG Jie-kun¹, ZHANG Zai-xu¹, ZHANG Yu² (1. Faculty of Economics and Management, China University of Petroleum, Dongying 257061, Shandong, China; 2. Financial Assets Center of Dongxin Production Plant, Shengli Oilfield Co. Ltd., Dongying 257091, Shandong, China) JXSYU 2006 V.21 N.3 p. 106-108

Structure of a kind of distributive lattice Hasse Graph

Abstract: The relationship between the unique decomposition of integer and the composition of distributive lattice $(D_n, |)$ Hasse Graph is established, the compositional rules of distributive lattice Hasse Graft are presented, and then the structure of Boolean lattice Hasse Graph is pointed out.

Key words: distributive lattice; Hasse Graph; atom

DU Li-ying, HUO Ai-lian (College of Sciences, Xi'an University of Architecture & Technology, Xi'an 710055, Shaanxi, China) JXSYU 2006 V.21 N.3 p. 109-110